

(11)特許出願公開番号

(43)公開日 平成11年(1999)4月23日

A

審査請求 未請求 請求項の数6 O.L (全 12 頁)

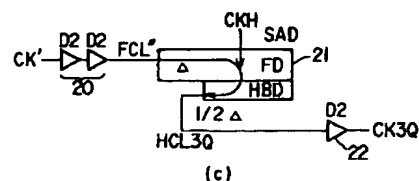
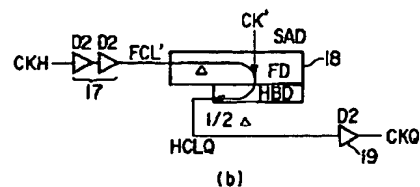
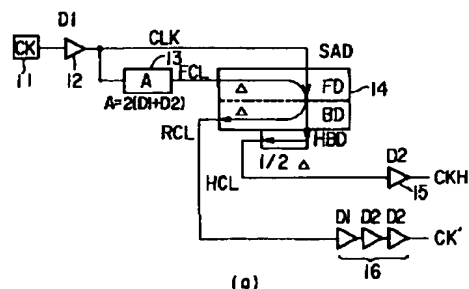
(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

(54) 【発明の名称】 クロック制御回路

(57) 【要約】

【課題】 サイクルタイムが短い外部クロックから種々の位相を持つ内部クロックを正常に発生することを特徴とする。

【解決手段】内部クロックCKHは遅延回路17を介して同期型調整遅延回路18の前進遅延部FDに入力される。この同期型調整遅延回路18には内部クロックCK'が制御クロックとして入力される。同期型調整遅延回路18内の前進遅延部FDには複数の遅延段が設けられており、上記パルスFCL'は同期型調整遅延回路18の前進遅延部FDで、次のサイクルの内部クロックCK'が立ち上がる時点までの時間に相当する Δ の時間だけ遅延される。内部クロックCK'は複数の遅延段が設けられた後進遅延部HBDで、時間 $\Delta/2$ に相当する遅延量だけ遅延される。後進遅延部HBDの出力HCLQは遅延回路19を介して、内部クロックCKQとして出力される。



【特許請求の範囲】

【請求項1】 一定の位相関係を持つ第1、第2の信号が供給され、第1の信号が供給された時点から第2の信号が供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、

上記第2の信号が供給された時点からこの第2の信号を上記保持された遅延量の時間だけ遅延して第3の信号を発生する手段とを具備したことを特徴とする信号発生回路。

【請求項2】 一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、

上記第2、第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、

上記第3のクロックが供給された時点からこの第3のクロックを上記保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が90度ずれた第4のクロックを発生する第2のクロック手段とを具備したことを特徴とするクロック制御回路。

【請求項3】 一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、

上記第2、第3のクロックが供給され、第3のクロックが供給された時点から第2のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、

上記第2のクロックが供給された時点からこの第2のクロックを上記保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が270度ずれた第4のクロックを発生する第2のクロック発生手段とを具備したことを特徴とするクロック制御回路。

【請求項4】 一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、

上記第2のクロック及び第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する第1の遅延量保持手段と、

上記第3のクロックが供給された時点からこの第3のクロックを上記第1の遅延量保持手段で保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が90度ずれた第4のクロックを発生する第2のクロック発生手段と、

上記第2のクロック及び第3のクロックが供給され、第3のクロックが供給された時点から第2のクロックが供

給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する第2の遅延量保持手段と、

上記第2のクロックが供給された時点からこの第2のクロックを上記第2の遅延量保持手段で保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が270度ずれた関係にある第5のクロックを発生する第3のクロック発生手段とを具備したことを特徴とするクロック制御回路。

【請求項5】 前記第1のクロック発生手段は、

10 遅延量D1を有し、前記第1のクロックを遅延する第1の遅延回路と、

遅延量2(D1+D2)を有し、上記第1の遅延回路の出力を遅延する第2の遅延回路と、

上記第2の遅延回路の出力及び上記第1の遅延回路の出力が供給され、上記第2の遅延回路の出力が供給された時点から上記第1の遅延回路の出力が供給されるまでの時点の時間間隔に相当する時間の第1の遅延量及びその半分の時間間隔に相当する時間の第2の遅延量を保持する手段と、

20 上記第1の遅延回路の出力が供給された時点からこの第1の遅延回路の出力を上記保持された第1の遅延量の時間だけ遅延する第3の遅延回路と、

遅延量D1+2・D2を有し、上記第3の遅延回路の出力を遅延して前記第3のクロックを発生する第4の遅延回路と、

上記第1の遅延回路の出力が供給された時点からこの第1の遅延回路の出力を上記保持された第2の遅延量の時間だけ遅延する第5の遅延回路と、

30 遅延量D2を有し、上記第5の遅延回路の出力を遅延して前記第2のクロックを発生する第6の遅延回路とを備えていることを特徴とする請求項2、3、4のいずれか1項に記載のクロック制御回路。

【請求項6】 一定周期の第1のクロックに対して360度× $[i] / 2^{(n-1)}$ ($[i] \quad i \quad (\text{mod } 2^{(n-1)})$) であり、nは正の整数) だけ位相がずれた第2のクロックと、第1のクロックに対して360度× $[i+1] / 2^{(n-1)}$ だけ位相がずれた第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、

40 上記第3のクロックが供給された時点からこの第3のクロックを上記保持された遅延量の時間だけ遅延して、上記第1のクロックに対して360度× $m / 2^n$ ($m=2[i+1]+1$) だけ位相がずれた第4のクロックを発生する手段とを具備したことを特徴とするクロック制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、外部クロックに対して一定の位相関係にある種々の内部クロックを発生

3

するクロック制御回路に関する。

【0002】

【従来の技術】シンクロナスDRAM (SDRAM) 等のクロック同期型メモリを含む半導体システムでは、メモリから読み出されるデータをメモリ外部で確実にフェッチするために、データウィンドウと称される時間間隔を保持してデータ出力制御を行う必要がある。また、このようなデータウィンドウを設定するには、外部クロックと一定の位相関係にある内部クロックを発生させる必要がある。

【0003】本発明者は、先に、外部クロックに対して一定の位相関係にある複数の内部クロックを発生する方法を発明した (特願平 9-100490 号)。しかし、この先の出願に係る明細書及び図面に記載されている方法では、外部クロックのクロックサイクルが短くなると、回路がうまく動作しなくなる可能性がある。

【0004】図 13 は、先の出願 (特願平 9-100490 号) の願書に添付された図面の図 33 に示されているクロック制御回路の構成を示している。この回路は、周期 T の外部クロック CK から、外部クロック CK に対して位相が 90° ($T/4$) ずれた内部クロック CKQ 、外部クロック CK に対して位相が 180° ($T/2$) ずれた内部クロック CKH 、外部クロック CK に対して位相が 270° ($3T/4$) ずれた内部クロック $CK3Q$ 及び外部クロック CK に対して位相が 360° (T) ずれた、すなわち CK と同位相の内部クロック CK' をそれぞれ発生するものである。

【0005】すなわち、このクロック制御回路において、外部クロック CK は、遅延量 $D1$ を有するレシーバとしての入力バッファ 101 を経由してチップ内部に入力される。上記入力バッファ 101 は、外部クロック CK に対して $D1$ のスキューを有する内部クロック CLK を出力する。この内部クロック CLK は、遅延量 A を有する遅延回路 102 に入力されると共に同期型調整遅延回路 (SAD: Synchronous Adjustable Delay) 103 にも入力される。上記遅延回路 102 からの出力パルス CL は、上記同期型調整遅延回路 103 の前進遅延部 FD (Forward Delay) に入力される。この同期型調整遅延回路 103 には、上記前進遅延部 FD の他に後進遅延部 BD (Backward Delay) 等が設けられている。

【0006】前進遅延部 FD に入力されたパルス CL は、次のサイクルの内部クロック CLK が立ち上がる時点まで、前進遅延部 FD で Δ の時間だけ遅延される。そして次のサイクルの内部クロック CLK は、同期型調整遅延回路 103 内の後進遅延部 BD 及び他の後進遅延部 QBD (Quarter Backward Delay)、 HBD (Half Backward Delay)、 $3QBD$ (3 Quarter Backward Delay) に入力され、それぞれ所定時間だけ遅延される。

【0007】同期型調整遅延回路 103 内の後進遅延部 BD は、上記前進遅延部 FD と等しい遅延時間 Δ を持つ

4

ような段数の遅延段によって内部クロック CLK を遅延する。他の後進遅延部 QBD 、 HBD 、 $3QBD$ は、それぞれ前進遅延部 FD の遅延時間 Δ の $1/4$ 、 $1/2$ 、 $3/4$ に相当する遅延時間 $\Delta/4$ 、 $\Delta/2$ 、 $3\Delta/4$ を持つような段数の遅延段によって内部クロック CLK を遅延する。

【0008】上記後進遅延部 QBD からの遅延パルス QCL は、遅延量 $D2$ を有するドライバとしての遅延回路 104 を通過して内部クロック CKQ となる。上記後進遅延部 HBD からの遅延パルス HCL は、遅延量 ($D1 + D2 \times 2$) を有するドライバとしての遅延回路 105 を通過して内部クロック CKH となる。

【0009】上記後進遅延部 $3QBD$ からの遅延パルス $3QCL$ は、遅延量 ($D1 \times 2 + D2 \times 3$) を有するドライバとしての遅延回路 106 を通過して内部クロック $CK3Q$ となる。

【0010】さらに、後進遅延部 BD からの遅延パルス RCL は、遅延量 ($D1 \times 3 + D2 \times 4$) を有するドライバとしての遅延回路 107 を通過して内部クロック CK' となる。

【0011】ここで遅延回路 102 の遅延量 A を $4(D1 + D2)$ に設定しておけば、外部クロック CK の周期 T は $T = 4(D1 + D2) + \Delta$ となる。外部クロック CK に対する内部クロック CKQ の遅延時間は $D1 + \Delta/4 + D2 = (D1 + D2) + \Delta/4$ となり、この内部クロック CK' は外部クロック CK に対して位相が 90° ($T/4$) ずれたものとなる。

【0012】外部クロック CK に対する内部クロック CKH の遅延時間は $D1 + \Delta/2 + D1 + D2 \times 2 = 2(D1 + D2) + \Delta/2$ となり、この内部クロック CKH は外部クロック CK に対して位相が 180° ($T/2$) ずれたものとなる。

【0013】外部クロック CK に対する内部クロック $CK3Q$ の遅延時間は $D1 + 3\Delta/4 + D1 \times 2 + D2 \times 3 = 3(D1 + D2) + 3\Delta/4$ となり、この内部クロック $CK3Q$ は外部クロック CK に対して位相が 270° ($3T/4$) ずれたものとなる。

【0014】外部クロック CK に対する内部クロック CK' の遅延時間は $D1 + \Delta + D1 \times 3 + D2 \times 4 = 4(D1 + D2) + \Delta$ となり、この内部クロック CK' は外部クロック CK に対して同位相 (位相のずれは 360° で周期 T) となる。

【0015】

【発明が解決しようとする課題】しかし、図 13 のクロック制御回路では、遅延回路 102 の遅延量 A が $4(D1 + D2)$ であることが、動作可能なサイクルタイムの下限が大きく制限される。

【0016】すなわち、同期型調整遅延回路 103 が有効に動作するには、上記遅延量 A が外部クロック CK のサイクルタイムよりも小さい必要がある。なぜな

らば、同期型調整遅延回路103ではサイクルタイムの残り時間で遅延量 Δ を調整しているからである。

【0017】例えば外部クロックCKの周波数が125MHzで、サイクルタイムが8nsの場合を考えると、 $(D1 + D2)$ に相当する遅延量は2ns以下でなければならない。しかし、外部クロックCKのレシーバである入力バッファの遅延量D1と、内部クロックのドライバー遅延に相当する遅延量D2の和を2ns以下にするのは極めて困難である。

【0018】このように従来のクロック制御回路では、外部クロックのサイクルタイムが短い場合には正常に動作しなくなる恐れがある。この発明は上記のような事情を考慮してなされたものであり、その目的は、外部クロックのサイクルタイムが短い場合でも正常に動作するクロック制御回路を提供することにある。

【0019】

【課題を解決するための手段】この発明の信号発生回路は、一定の位相関係を持つ第1、第2の信号が供給され、第1の信号が供給された時点から第2の信号が供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、上記第2の信号が供給された時点からこの第2の信号を上記保持された遅延量の時間だけ遅延して第3の信号を発生する手段とを具備している。

【0020】この発明のクロック制御回路は、一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、上記第2、第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、上記第3のクロックが供給された時点からこの第3のクロックを上記保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が90度ずれた第4のクロックを発生する第2のクロック手段とを具備している。

【0021】この発明のクロック制御回路は、一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、上記第2、第3のクロックが供給され、第3のクロックが供給された時点から第2のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、上記第2のクロックが供給された時点からこの第2のクロックを上記保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が270度ずれた第4のクロックを発生する第2のクロック発生手段とを具備している。

【0022】この発明のクロック制御回路は、一定周期を持つ第1のクロックからこの第1のクロックに対して

位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、上記第2のクロック及び第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する第1の遅延量保持手段と、上記第3のクロックが供給された時点からこの第3のクロックを上記第1の遅延量保持手段で保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が90度ずれた第4のクロックを発生する第2のクロック発生手段と、上記第2のクロック及び第3のクロックが供給され、第3のクロックが供給された時点から第2のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する第2の遅延量保持手段と、上記第2のクロックが供給された時点からこの第2のクロックを上記第2の遅延量保持手段で保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が270度ずれた関係にある第5のクロックを発生する第3のクロック発生手段とを具備している。

【0023】この発明のクロック制御回路は、一定周期の第1のクロックに対して $360 \text{度} \times [i] / 2^{(n-1)}$ ($[i] \quad i \quad (\text{mod } 2^{(n-1)})$)であり、 n は正の整数)だけ位相がずれた第2のクロックと、第1のクロックに対して $360 \text{度} \times [i + 1] / 2^{(n-1)}$ だけ位相がずれた第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、上記第3のクロックが供給された時点からこの第3のクロックを上記保持された遅延量の時間だけ遅延して、上記第1のクロックに対して $360 \text{度} \times m / 2^n$ ($m = 2[i + 1] + 1$)だけ位相がずれた第4のクロックを発生する手段とを具備している。

【0024】

【発明の実施の形態】以下、図面を参照してこの発明を実施の形態により説明する。図1(a)～(c)はこの発明に係るクロック制御回路の一実施の形態による構成を示している。

【0025】図1(a)に示した回路は、一定周期Tの外部クロックCKから、この外部クロックCKに対して位相が180度($T/2$ の周期)ずれた内部クロックCKH及び外部クロックCKに対して位相が360度(Tの周期)ずれた、すなわち外部クロックCKと同位相の内部クロックCK'を発生する。

【0026】図1(b)に示した回路は、図1(a)の回路で発生される内部クロックCKHを入力クロック及び内部クロックCK'を制御クロックとして受け、この両クロックから、上記外部クロックCK(もしくは内部クロックCK')に対して位相が90度($T/4$ の周期)ずれた内部クロックCKQを発生する。

【0027】図1(c)に示した回路は、図1(a)の

回路で発生される内部クロックCK'を入力クロック、内部クロックCKHを制御クロックとして受け、この両クロックから、上記外部クロックCK（もしくは内部クロックCK'）に対して位相が270度（3T/4の周期）ずれた内部クロックCK3Qを発生する。

【0028】図1（a）に示した回路は以下のように構成されている。すなわち、半導体チップに設けられた入力端子11から入力される一定周期Tの外部クロックCKは、遅延量D1を有するレシーバとしての入力バッファ12に入力される。上記入力バッファ12は、外部クロックCKに対してD1のスキューを有する内部クロックCLKを出力する。この内部クロックCLKは、遅延量Aを有する遅延回路13に入力されると共に同期型調整遅延回路（SAD：Synchronous Adjustable Delay）14にも制御クロックとして入力される。なお、上記遅延回路13の遅延量Aは、2（D1+D2）に設定されている。

【0029】上記遅延回路13からの出力パルスFCLは、上記同期型調整遅延回路14の前進遅延部FD（Forward Delay）に入力される。この同期型調整遅延回路14には、上記前進遅延部FDの他に後進遅延部BD（Backward Delay）及びHBD（Half Backward Delay）等が設けられている。

【0030】前進遅延部FDには複数の遅延段が設けられており、入力されたパルスFCLはこの複数の遅延段を通過することによって遅延される。そして、同期型調整遅延回路14では、前進遅延部FDにパルスFCLが入力され、次のサイクルの内部クロックCLKが立ち上がる時点までのパルスFCLの遅延時間Δが、パルスFCLが通過した遅延段の数に対応して測定される。さらに、この測定されたパルスFCLの遅延時間Δに相当する遅延量及びその半分の時間Δ/2に相当する遅延量が保持される。

【0031】上記内部クロックCLKは、後進遅延部BD及びHBDにそれぞれ供給される。上記両後進遅延部BD及びHBDは、保持された遅延時間Δに相当する遅延量及びΔ/2に相当する遅延量だけ、内部クロックCLKをそれぞれ遅延する。

【0032】一方の後進遅延部HBDの出力HCLは遅延回路15に入力される。この遅延回路15は、遅延量D2を有する1個の内部クロックのドライバーからなる。そして、この遅延回路15からの出力が前記内部クロックCKHとして、図1（b）、（c）の回路を始めとするチップ内部の各回路に供給される。

【0033】他方の後進遅延部BDの出力RCLは遅延回路16に入力される。この遅延回路16は、それぞれ内部クロックのドライバーとして動作し、遅延量D1を有する1個のドライバー及び遅延量D2を有する2個のドライバーが縦続接続して構成されている。そして、この遅延回路16からの出力が前記内部クロックCK'と

して、図1（b）、（c）の回路を始めとするチップ内部の各回路に供給される。

【0034】図1（b）に示した回路は以下のように構成されている。すなわち、図1（a）の回路で発生される内部クロックCKHは遅延回路17に入力される。この遅延回路17は、それぞれ遅延量D2を有し内部クロックのドライバーとして動作する2個のドライバーが縦続接続して構成され、内部クロックCKHに対して2・D2のスキューを有する内部クロックFCL'を出力する。この内部クロックFCL'は、同期型調整遅延回路（SAD）18の前進遅延部FDに入力される。この同期型調整遅延回路18には、図1（a）の回路で発生される内部クロックCK'が制御クロックとして入力される。また、この同期型調整遅延回路18には、上記前進遅延部FDの他に後進遅延部HBD等が設けられている。

【0035】同期型調整遅延回路18内の前進遅延部FDにも複数の遅延段が設けられており、入力されたパルスFCL'はこの複数の遅延段を通過することによって遅延される。そして、同期型調整遅延回路18では、前進遅延部FDにパルスFCL'が入力され、次のサイクルの内部クロックCK'が立ち上がる時点までのパルスFCL'の遅延時間Δが、パルスFCL'が通過した遅延段の数に対応して測定される。さらに、この測定されたパルスFCL'の遅延時間Δの半分の時間Δ/2に相当する遅延量が保持される。

【0036】上記内部クロックCK'は後進遅延部HBDに供給される。この後進遅延部HBDは、保持された時間Δ/2に相当する遅延量だけ、内部クロックCK'を遅延する。この後進遅延部HBDの出力HCLQは、遅延量D2を有する内部クロックのドライバーからなる遅延回路19に入力される。そして、この遅延回路19からの出力が、前記内部クロックCKQとして、チップ内部の各回路に供給される。

【0037】図1（c）に示した回路は以下のように構成されている。すなわち、図1（a）の回路で発生される内部クロックCK'は遅延回路20に入力される。この遅延回路20は、それぞれ遅延量D2を有し内部クロックのドライバーとして動作する2個のドライバーが縦続接続して構成され、内部クロックCK'に対して2・D2のスキューを有する内部クロックFCL''を出力する。この内部クロックFCL''は、同期型調整遅延回路（SAD）21の前進遅延部FDに入力される。この同期型調整遅延回路21には、図1（a）の回路で発生される内部クロックCKHが制御クロックとして入力される。また、この同期型調整遅延回路21には、上記前進遅延部FDの他に後進遅延部HBD等が設けられている。

【0038】同期型調整遅延回路21内の前進遅延部FDにも複数の遅延段が設けられており、入力されたパル

スFCL"はこの複数の遅延段を通過することによって遅延される。そして、同期型調整遅延回路21では、前進遅延部FDにパルスFCL"が入力され、次のサイクルの内部クロックCKHが立ち上がる時点までのパルスFCL"の遅延時間 Δ が、パルスFCL"が通過した遅延段の数に対応して測定される。さらに、この測定されたパルスFCL"の遅延時間 Δ の半分の時間 $\Delta/2$ に相当する遅延量が保持される。

【0039】上記内部クロックCKHは後進遅延部HBDに供給される。この後進遅延部HBDは、保持された時間 $\Delta/2$ に相当する遅延量だけ、内部クロックCKHを遅延する。この後進遅延部HBDの出力HCL3Qは、遅延量D2を有する内部クロックのドライバーからなる遅延回路22に入力される。そして、この遅延回路22からの出力が、前記内部クロックCK3Qとして、チップ内部の各回路に供給される。

【0040】図2は、上記図1(a)中の同期型調整遅延回路14の内部構成例を示すブロック図である。図2において、 $U(1) \sim U(n+1)$ (n は正の整数)はそれぞれ前記前進遅延部FD及び後進遅延部BD等を構成する遅延ユニットである。これら $(n+1)$ 個の遅延ユニットは多段接続されている。また、 $bd(1)$ 、 $bd(2)$ 、 \dots $bd((n+1)/2)$ はそれぞれ前記後進遅延部HBDを構成する遅延ユニットである。これら $(n+1)/2$ 個の遅延ユニットも多段接続されている。

【0041】図3は、上記図2中の $(n+1)$ 個の遅延ユニットのうちの1個の遅延ユニット $U(i)$ ($i=1 \sim n+1$)の具体的な回路構成を示している。図示のように、遅延ユニット $U(i)$ は、前記前進遅延部FDの1段分の遅延段を構成するパルス遅延回路 $fd(i)$ と、状態保持回路 $sr(i)$ と、前記後進遅延部BDの1段分の遅延段を構成するパルス遅延回路 $bd(i)$ とからなる3つの回路で構成されている。

【0042】パルス遅延回路 $fd(i)$ は、2個のクロックドインバータ31、32と3個のインバータ33、34、35で構成されている。クロックドインバータ31の入力端子には前段のパルス遅延回路 $fd(i-1)$ で発生されるクロックFCLiが入力される。このクロックドインバータ31は、前記内部クロックCLKから作られる制御パルス/Pが"H"のときに活性化され、活性化されたときにクロックFCLiを反転出力する。

【0043】クロックドインバータ32の入力端子は接地電位に接続されており、常時"L"レベルが入力されている。このクロックドインバータ32は、前記制御パルス/Pと対をなす制御パルスPが"H"のときに活性化され、活性化されたときに"L"レベルの入力を反転して出力する。

【0044】上記両クロックドインバータ31、32の出力端子は共通に接続されており、この共通接続点には

インバータ33、34の各入力端子が接続されている。そして、上記インバータ33の出力はクロックFCLi+1として次段の遅延ユニット $U(i+1)$ に出力される。さらに、上記インバータ33の出力はインバータ35で反転され、クロック/FCLi+1として出力される。また、上記インバータ34の出力はクロックFFCLi+1として出力される。

【0045】状態保持回路 $sr(i)$ は、それぞれ2個のPチャネルMOSトランジスタ41、42及びNチャネルMOSトランジスタ43、44と、1個のインバータ45で構成されている。

【0046】上記2個のPチャネルMOSトランジスタ41、42のソース、ドレイン間は電源電圧の供給点と上記インバータ45の入力端子との間に直列接続されており、一方のPチャネルMOSトランジスタ41のゲート電極には前記内部クロックCLKと対をなす内部クロック/CLKが供給され、他方のPチャネルMOSトランジスタ42のゲート電極には3段前段の遅延ユニット $U(i-3)$ 内のパルス遅延回路 $bd(i-3)$ で発生されるクロック/RCLi-3が供給される。

【0047】上記2個のNチャネルMOSトランジスタ43、44のソース、ドレイン間は上記インバータ45の入力端子と接地電圧の供給点との間に直列接続されており、一方のNチャネルMOSトランジスタ43のゲート電極には前段のパルス遅延回路 $fd(i-1)$ で発生されるクロックFFCLiが供給され、他方のNチャネルMOSトランジスタ44のゲート電極には上記内部クロック/CLKが供給される。

【0048】そして、上記インバータ45の入力端子の信号は状態保持信号/Qi-2として、インバータ45の出力信号は状態保持信号Qi-2としてそれぞれ後段の遅延ユニットに供給される。

【0049】パルス遅延回路 $bd(i)$ は、2個のクロックドインバータ51、52と3個のインバータ53、54、55で構成されている。クロックドインバータ51の入力端子には内部クロックCLKが入力される。このクロックドインバータ51は、状態保持回路 $sr(i+2)$ で発生される状態保持信号/Qiが"H"のときに活性化され、活性化されたときにクロックCLKを反転出力する。

【0050】クロックドインバータ52の入力端子にはパルス遅延回路 $bd(i+1)$ で発生されるクロックRCLi+1が入力されている。このクロックドインバータ52は、前記状態保持信号/Qiと対をなす状態保持信号Qiが"H"のときに活性化され、活性化されたときにクロックRCLi+1を反転して出力する。

【0051】上記両クロックドインバータ51、52の出力端子は共通に接続されており、この共通接続点にはインバータ53、54の各入力端子が接続されている。そして、上記インバータ53の出力はクロックRCLi

として出力される。さらに、上記インバータ53の出力はインバータ54で反転され、クロック/RCLiとして出力される。また、上記インバータ54の出力はクロックRRCLiとして出力される。

【0052】図4は、上記図3の回路で使用される制御パルスP、/Pを発生する制御パルス発生回路の詳細な構成を示している。図4において、前記内部クロックCLKは遅延回路61を介してNORゲート62の一方入力端子に入力される。このNORゲート62の他方入力端子には内部クロック/CLKが入力される。そして、上記NORゲート62の出力が前記制御パルスPとなり、このNORゲート62の出力を反転するインバータ63の出力が前記制御パルス/Pとなる。

【0053】図5は、上記図1(b)、(c)中の同期型調整遅延回路18、21の内部構成例を示すブロック図である。図5において、U(2)~U(x) (x=2n)はそれぞれ前記図3に示すように、パルス遅延回路fd(i)、状態保持回路sr(i)及びパルス遅延回路bd(i)の3つの回路で構成された遅延ユニットである。

【0054】前記図1(b)、(c)中の同期型調整遅延回路18、21の場合、前記図1(a)中の同期型調整遅延回路14に設けられている後進遅延部BDは不要なので、図2のものとは比べて遅延ユニットUの数は半数となっており、各遅延ユニットUの前段には前記図3中のパルス遅延回路fd(i)と同様の構成のパルス遅延回路fd(i) (i=1~y、ただし、y=2n-1)が設けられている。

【0055】このような構成のクロック制御回路において、図1(a)の回路に設けられた遅延回路13の遅延量Aが2(D1+D2)に設定されているので、外部クロックCKの周期Tは $T=2(D1+D2)+\Delta$ となる。

【0056】外部クロックCKに対する内部クロックCKHの遅延時間は $D1+\Delta/2+D2=(D1+D2)+\Delta/2$ となり、この内部クロックCKHは外部クロックCKに対して位相が180度(T/2)ずれたものとなる。

【0057】外部クロックCKに対する内部クロックCK'の遅延時間は $D1+\Delta+D1+D2\times 2=2(D1+D2)+\Delta$ となり、この内部クロックCK'は外部クロックCKに対して同位相(位相のずれは360度で周期T)となる。

【0058】また、図1(b)の回路では、内部クロックCK'に対して位相が180度ずれた内部クロックCKHが遅延回路17を介して同期型調整遅延回路18内の前進遅延部FDに入力され、次のサイクルの内部クロックCK'が立ち上がる時点まで遅延される。このため、前進遅延部FDにおける遅延時間Δは、図6のタイミングチャートに示すように、内部クロックCKHと内

部クロックCK'との間の位相差180度に相当する時間となる。同期型調整遅延回路18内の後進遅延部HBDでは、この位相差180度のさらに半分の位相差に相当する時間だけ内部クロックCK'が遅延されるので、内部クロックCKQは、内部クロックCK'に対して90度(T/4)位相がずれたものとなる。

【0059】なお、この例では、内部クロックCKHを2・D2の遅延量の遅延回路17を介して同期型調整遅延回路18内の前進遅延部FDに入力するようにしているので、内部クロックCKHとCK'の位相差は実際には $2\cdot D2+\Delta$ となる。しかし、遅延回路19で内部クロックHCLQを遅延しているの、内部クロックCK'とCKQの位相差は $\Delta/2+D2$ となり、内部クロックCKHとCK'の位相差 $2\cdot D2+\Delta$ の丁度半分となるので、内部CKQは、内部クロックCK'に対して丁度90度位相がずれたものとなる。

【0060】図1(c)の回路では、内部クロックCK'が遅延回路20を介して同期型調整遅延回路21内の前進遅延部FDに入力され、次のサイクルの内部クロックCKHが立ち上がる時点まで遅延される。このため、前進遅延部FDにおける遅延時間Δは、図6のタイミングチャートに示すように、内部クロックCK'と内部クロックCKHとの間の位相差180度に相当する時間となる。同期型調整遅延回路21内の後進遅延部HBDでは、この位相差180度のさらに半分の位相差に相当する時間だけ内部クロックCKHが遅延されるので、内部クロックCK3Qは、内部クロックCKHに対して90度(T/4)位相がずれたものとなる。つまり、内部クロックCK3Qは、内部クロックCK'に対して270度(3T/4)位相がずれたものとなる。

【0061】なお、図1(c)の回路でも、内部クロックCK'を2・D2の遅延量の遅延回路20を介して同期型調整遅延回路21内の前進遅延部FDに入力するようにしているので、内部クロックCK'とCKHの位相差は実際には $2\cdot D2+\Delta$ となる。しかし、遅延回路22で内部クロックHCL3Qを遅延しているの、内部クロックCKHとCK3Qの位相差は $\Delta/2+D2$ となり、内部クロックCK'とCKHの位相差 $2\cdot D2+\Delta$ の丁度半分となるので、内部CK3Qは、内部クロックCK'に対して丁度270度位相がずれたものとなる。

【0062】このように上記実施の形態によるクロック制御回路では、外部クロックCKに対して位相が90度及び270度ずれた内部クロックCKQ、CK3Qを発生することができる。

【0063】しかも、図1(a)中の遅延回路13の遅延量Aが2(D1+D2)に設定されているので、同期型調整遅延回路14が有効に動作するための時間余裕が従来よりも大幅に改善される。

【0064】例えば外部クロックCKの周波数が125MHzで、サイクルタイムが8nsの場合を考えると、

10

20

30

40

50

($D1 + D2$) に相当する遅延量は $4ns$ 以下であればよい。外部クロック CK のレシーバである入力バッファ 12 の遅延量 $D1$ と、内部クロックのドライバー遅延に相当する遅延量 $D2$ の和を $4ns$ 以下にするのは比較的容易である。

【0065】このため、上記実施の形態に係るクロック制御回路は、従来では正常に動作しないような短いサイクルタイムを持つ外部クロックからでも種々の位相差を持つ内部クロックを正常に発生することができる。

【0066】ここで、図3に示した遅延ユニット $U(i)$ の動作について簡単に説明しておく。パルス遅延回路 $fd(i)$ では、制御パルス P が “H” のときにクロックドインバータ 31 が活性化され、前段からのクロック $FCLi$ がクロックドインバータ 31、インバータ 33 及び 35 を通過することによって、次段へのクロック $FCLi+1$ は前段からのクロック $FCLi$ に対して 1 段分の遅延が与えられる。

【0067】一方、制御パルス P が “H” ($P = “L”$) のときはクロックドインバータ 31 が非活性となるので、前段からのクロック $FCLi$ は次段へは伝えられない。その代わり、クロックドインバータ 32 が活性化され、クロック $FFCLi+1$ 、 $FCLi+1$ は共に “L” に固定され、 $FCLi+1$ は “H” に固定される。

【0068】状態保持回路 $sr(i)$ では、内部クロック CLK が “H” のとき、前段からのクロック $FFCLi$ が “H” であれば、状態保持信号 $Qi-2$ が “H”、 $Qi-2$ が “L” となる。また、内部クロック CLK が “L” のとき、前段からのクロック $RCLi-3$ が “L” であれば、状態保持信号 $Qi-2$ が “L”、 $Qi-2$ が “H” となる。

【0069】パルス遅延回路 $bd(i)$ では、状態制御信号 Qi が “H” のときにクロックドインバータ 51 が活性化され、内部クロック CLK が選択される。すなわち、内部クロック CLK の遅延はこの遅延ユニット $U(i)$ から開始されることになる。そして、この内部クロック CLK がクロックドインバータ 51、インバータ 53 を通過することによって、遅延回路 1 段分の遅延が与えられ、前段にクロック $RCLi$ として出力される。

【0070】一方、状態制御信号 Qi が “H” ($Qi = “L”$) のときはクロックドインバータ 51 が非活性となるので、その遅延ユニット $U(i)$ から内部クロック CLK は遅延されない。その代わり、クロックドインバータ 52 が活性化され、次段からのクロック $RCLi+1$ が選択され、クロックドインバータ 52、インバータ 53 を通過することによって、遅延回路 1 段分の遅延が与えられ、前段にクロック $RCLi$ として出力される。このとき、クロック $RRCLi$ 、 $RCLi$ がインバータ 54、55 から出力される。

【0071】図7は、この発明の第2の実施の形態によ

るクロック制御回路の構成を示している。先の図1に示したクロック制御回路は、外部クロック CK から、この外部クロック CK に対して位相が 90° 度及び 270° 度ずれた2種類の内部クロック CKQ 、 $CK3Q$ を発生するものであったが、図7のものではこれを一般化して、外部クロック CK に対して位相が 360° 度の $(1/2)^n$ の m 倍だけずれた内部クロックを発生するように構成したものである。

【0072】この回路は、前記図1(b)または(c)に示した回路と同様に構成されている。すなわち、この図7のクロック制御回路は、前記内部クロック CKH または CK' に相当するクロック CKA が入力され、前記遅延回路 17 または 20 と同様に、それぞれ遅延量 $D2$ を有し内部クロックのドライバーとして動作する2個のドライバーが縦続接続して構成され、入力クロック CKA に対して $2 \cdot D2$ のスキューを有する遅延回路 23 と、前進遅延部 FD や後進遅延部 HBD 等が設けられ、前記同期型調整遅延回路 18 または 21 と同様に構成された同期型調整遅延回路 24 と、この同期型調整遅延回路 24 内の後進遅延部 HBD からの出力クロック $HCLC$ が供給され、前記遅延回路 19 または 22 と同様に遅延量 $D2$ を有する内部クロックのドライバーからなる遅延回路 25 とから構成されている。なお、上記同期型調整遅延回路 24 には、前記内部クロック CK' もしくは CKH に対応した制御クロックとしてクロック CKB が供給されている。そして、遅延回路 25 からクロック CKC が出力される。

【0073】このような構成のクロック制御回路において、クロック CKA 、 CKB としてどのようなクロックを用いるかで、種々の位相を持つ内部クロック CKC を発生することができる。

【0074】具体例として、図8に示すように 360° 度の位相を 8 等分した内部クロックを発生する場合を説明する。いま、発生すべき内部クロックのクロック名を、図8に従って、 $CK0 (=CK' =CK1)$ 、 $CK1/8$ 、 $CK1/4 (=CKQ =CK2/8)$ 、 $CK3/8$ 、 $CK1/2 (=CKH =CK4/8)$ 、 $CK5/8$ 、 $CK3/4 (=CK3Q =CK6/8)$ 、 $CK7/8$ 、 $CK0 (=CK8/8 =CK')$ とする。

【0075】このとき、図7に示す回路は 7 組必要となり、クロック CKA 、 CKB 、 CKC とこれらのクロックとの関係は図9に示すようになる。図9に示すように、 n のレベル (1、2、3) によって分類すると、 n のレベルのクロックは一つ前のレベルで作られたクロック (CKC) を用いることによって発生させることができる。そこで、 $CK(m/2)^n$ の m と n によって、一般的なクロック CKA 、 CKB 、 CKC の関係を導くことにする。

【0076】図10にレベル相互間の関係を示す。入力クロックとして $CK(m-1)/2^{n-1}$ を、制御クロッ

クとして $CKm/2^{n-1}$ を用いると、この両クロック間の遅延量 Δ の半分の遅延の後に出力クロックを立ち上げることができる。(n-1) レベルのクロック名 $m/2^{n-1}$ の分母、分子にそれぞれ 2 を掛けると、n レベルのクロック名となり、さらにこのクロックの分子に 1 を加えると出力クロック名となる。この出力クロックは、入力及び制御に用いられたクロック相互間の位相の半分の位相に相当する遅延時間の後に立ち上がるので、レベル n のクロックの所望する位相特性を持つことになる。

【0077】クロック名の定義は図 10 に示した通りであり、m は 0 から $2^{(n-1)} - 1$ の値をとるので、入力クロック $CKA = CK[i] / 2^{(n-1)}$ 、制御クロック $CKB = CK[i+1] / 2^{(n-1)}$ 、出力クロック $CKC = CK\{2[i+1] + 1\} / 2^n$ (ただし、 $0 \leq [i] \leq 2^{(n-1)} - 1$ 、すなわち、 $[i] = i \pmod{2^{(n-1)}}$) とすれば、外部クロックを 360 度の $\{2[i+1] + 1\} / 2^n$ だけ位相をずらした内部クロックを容易に発生することができる。

【0078】次にこの発明の応用例を説明する。図 11 は、この発明のクロック制御回路を備えたシンクロナス DRAM の概略的なブロック構成を示している。メモリ回路 70 には複数のメモリセルが設けられている。データの読み出し時には、図示しない行デコーダ及び列デコーダ等によってメモリ回路 70 内のメモリセルが選択され、この選択されたメモリセルの記憶データがセンスアンプ (SA) 71 でセンスされ、出力回路 (OB) 72 に供給される。

【0079】図中の符号 73 は、先に説明してきたクロック制御回路であり、このクロック制御回路 73 は、クロック入力端子 74 からチップ内部に入力される一定周期 T の外部クロック CK から、この外部クロック CK に対して位相が例えば 90 度ずれた内部クロック CKQ と、270 度ずれた内部クロック CKH を発生する。そして、このクロック制御回路 73 で発生された内部クロック CKQ、CKH は、上記出力回路 72 に供給される。出力回路 72 は、センスアンプ 71 でセンスされたデータを、読み出しデータ *Data Out* としてデータ出力端子 75 からチップ外部に出力するものであるが、図 12 のタイミングチャートに示すように、内部クロック CKQ が立ち上がるタイミングで読み出しデータ *Data Out* の出力を開始し、内部クロック CKH が立ち上がるタイミングで読み出しデータ *Data Out* の出力を終了する。従って、読み出しデータ *Data Out* の出力期間は、例えば外部クロック CK が立ち上がった後の $T/4$ の時点から $3T/4$ の時点までの一定期間となる。

【0080】このようなシンクロナス DRAM では、外部クロック CK に同期した上記期間 ($T/4$ の時点から $3T/4$ の時点) がデータウィンドウとなるため、この期間内にデータを取り込むようにすればよい。

【0081】

【発明の効果】以上説明したようにこの発明によれば、外部クロックのサイクルタイムが短い場合でも正常に動作するクロック制御回路を提供することができる。

【図面の簡単な説明】

【図 1】この発明に係るクロック制御回路の一実施の形態による構成を示す回路図。

【図 2】図 1 中の一つの同期型調整遅延回路の内部構成例を示すブロック図。

【図 3】図 2 中の遅延ユニットの具体的な回路構成を示す回路図。

【図 4】図 3 の回路で使用される制御パルスが発生する制御パルス発生回路の詳細な構成を示す回路図。

【図 5】図 1 中の他の同期型調整遅延回路の内部構成例を示すブロック図。

【図 6】図 1 のクロック制御回路の動作の一例を示すタイミングチャートを示す図。

【図 7】この発明の第 2 の実施の形態によるクロック制御回路の構成を示す回路図。

【図 8】図 7 のクロック制御回路で発生する内部クロックを示す図。

【図 9】図 7 のクロック制御回路におけるクロック相互の関係をまとめて示す図。

【図 10】図 7 のクロック制御回路におけるレベル相互間の関係を示す図。

【図 11】この発明の応用例によるシンクロナス DRAM の概略的なブロック構成を示す図。

【図 12】図 11 のシンクロナス DRAM からデータ読み出しを行う際のタイミングチャートを示す図

【図 13】従来のクロック制御回路の回路図。

【符号の説明】

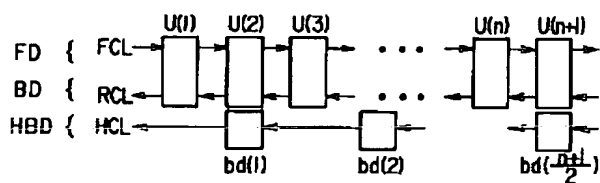
- 11 … 入力端子、
- 12 … 入力バッファ、
- 13 … 遅延回路、
- 14 … 同期型調整遅延回路 (SAD: Synchronous Adjustable Delay)、
- 15 … 遅延回路、
- 16 … 遅延回路、
- 17 … 遅延回路、
- 18 … 同期型調整遅延回路 (SAD: Synchronous Adjustable Delay)、
- 19 … 遅延回路、
- 20 … 遅延回路、
- 21 … 同期型調整遅延回路 (SAD: Synchronous Adjustable Delay)、
- 22 … 遅延回路、
- 23 … 遅延回路、
- 24 … 同期型調整遅延回路 (SAD: Synchronous Adjustable Delay)、
- 25 … 遅延回路、
- 31、32、51、52 … クロックドインバータ、

73…クロック制御回路、

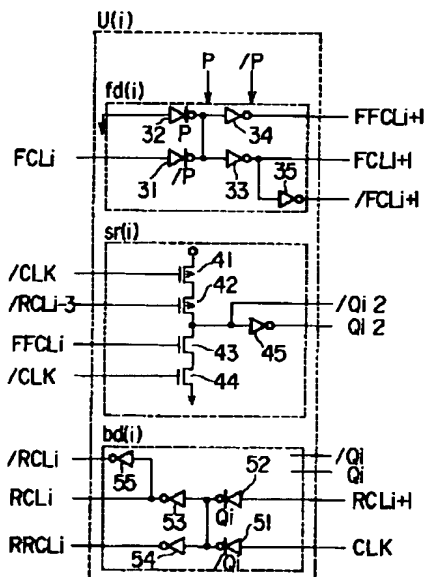
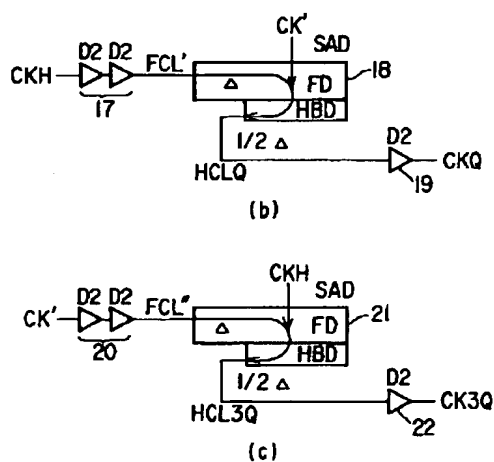
b d (i) …パルス遅延回路。

10

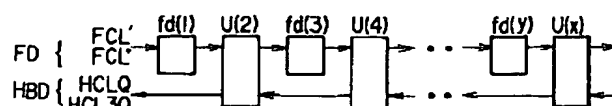
【图 2】



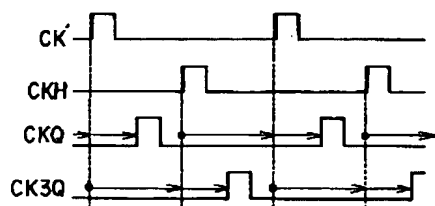
【例 3】



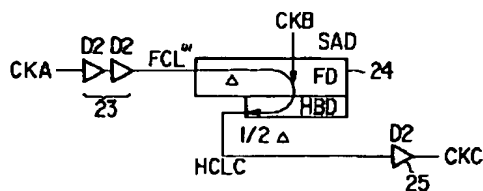
【图 5】



【図 6】



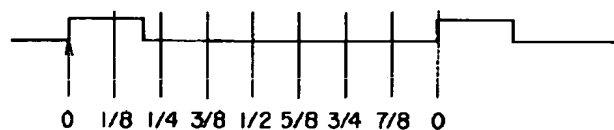
【図 7】



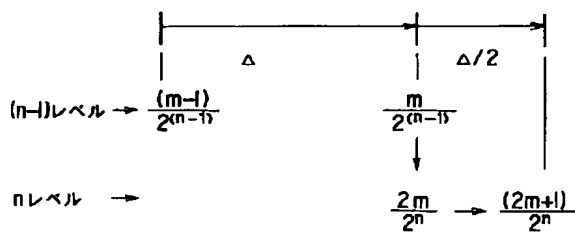
【図 9】

	CKA	CKB	CKC
$n=1$	CK0	CK0	CK1/2
$n=2$	CK1/2	CK0	CK1/2 ²
	CK0	CK1/2	CK3/2 ²
$n=3$	CK3/2 ²	CK0	CK1/2 ³
	CK0	CK1/2 ²	CK3/2 ³
	CK1/2 ²	CK2/2 ²	CK5/2 ³
	CK2/2 ²	CK3/2 ²	CK7/2 ³

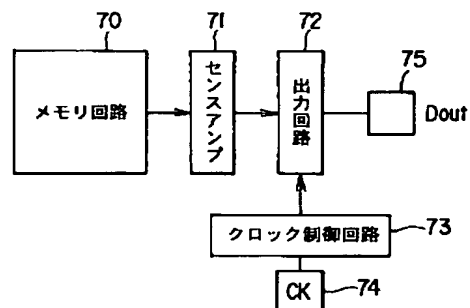
【図 8】



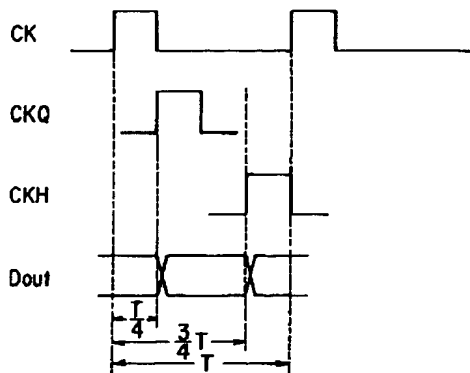
【図 10】



【図 11】



【図 12】



【図 1 3】

